

HEART(1)

LLM で Verilog コード生成するのはいいけど、
質の担保をするためのベンチマークが必要だよな、という話が面白かった。

$$(a+b)^2 - (a-b)^2$$

を、ちゃんと展開した上に *4 をシフト演算にまでしてくれるね。
最近、ツールのあれこれから遠ざかってしまっていたのでキャッチアップせねば。