

Intel Stratix10 セミナ

Stratix10 のセミナを受講 .

トランシーバのパラメタを変えたときのアイパタンを観察してみたり ,
HyperFlex アーキテクチャのあれこれの話を聞いて試してみたり .
楽しかった .

メモ

- 高いツール使ってる人からすれば, いまさら, なんかもしれないけど, レジスタを適当に散らしてくれるの, すごいよなー, とか .
- とりあえず, オンラインのフリーのトレーニングが, 11 くらいあるので, それ, みてみるか . 最初は, <https://www.altera.com/support/training/course/os10arch.html>
- 例題みると, なるほど, ってかんじだけど, 自分で, Hyper Register 向けの最適なデザイン, (Hyper Optimization??) できるかは, 今すぐには自信はないな ... 修行せねば .
- Hyper Register 使うと ALM の制約なくレジスタ入れれるので, 組み合わせ回路とのバランス再考できて / すれば, 高速なハードウェアになる, という話なのかなー, とか . さくっと estimate freq. 900MHz とかできると, わくわくしてしまう .
- Hyper Pipeline の例
https://www.altera.co.jp/content/dam/altera-www/global/en_US/pdfs/literature/hb/stratix-10/s10_hp_hb.pdf
- Intel FPGA の Hyper Pipeline の例題で, Hyper Pipeline を使うための多段のレジスタを, hyper_pipe というインスタンスにしてるの, わかりやすくいいな . これ, 普通に設計の意図を伝える書き方としてよさげ .