

バンド幅の設計に惚れ惚れ

各 CPU で目一杯メモリアクセスして、ざっくりと測定してみた。
バンド幅って、絶妙に設計されているんだなあと惚れ惚れする。
ちなみに、16 回読み or 書きするときの最小レイテンシは、
i7 860 が 85 サイクルなのに対して、i7 980X では 65 サイクル。速い。

i7 860, 12GB

i7 X980, 8GB

実行したプログラム

以下のプログラムを pthread で並列化して各コアで実行。

SIZE の値は 128M 。

いましてみると、16 回まわすのは、キャッシュあたるからゴミ以外の何ものでもないな ...

```
// write test
for(i = 0; i < SIZE; i++){
    addr = ptr+i;
    t0 = rdtsc();
    for(times = 0; times < 16; times++){ *addr = i; }
    t1 = rdtsc();
    if(t1 > t0) write_update(t1 - t0, arg);
}
// read test
for(i = 0; i < SIZE; i++){
    addr = ptr+i;
    t0 = rdtsc();
    for(times = 0; times < 16; times++){ d = *addr; }
    t1 = rdtsc();
    if(t1 > t0) read_update(t1 - t0, arg);
}
```

ちなみに Cell/B.E. の場合

適当なソフトウェアキャッシュを LS 上に実装して測定してあります。

一言メモ

- VHDL の V って、VHSIC: very-high-speed integrated circuit の V だったのか (Wed Nov 3 18:34:53 2010 +0900)
- いまさら聞けない SystemC 入門
<http://monoist.atmarkit.co.jp/fembedded/special/systemc/systemc01.html> (Wed Nov 3 18:33:54 2010 +0900)
- わずか 3STEP! 誰でも簡単に jQuery を使った Lightbox ギャラリーを作成出来るソフトウェア・jQuery Photo Viewer <http://kachibito.net/software/jquery-photo-viewer.html> (Wed Nov 3 18:33:33 2010 +0900)