

バイトいたり。

そろそろ仕上げないと約束に間にあわないということもあり、

結構がばってコードを書いています、<Br>

やっぱり VHDL は簡単にいろいろデバッグができないのが難しいですね。

シミュレータがあるのは、かなりいいのですが、

それでもテスト用の VHDL ソースを生成するのは、結構めんどろです。

wait 分でクロック作って、それにあわせて、キャラクタコード書いたり、

信号線をパタパタしたり ...